

DIALOG(R)File 347:JAPIO

(c) 2006 JPO & JAPIO. All rts. reserv.

02208813 **Image available**

SEMICONDUCTOR INTEGRATED CIRCUIT

PUB. NO.: **62-125713** [JP 62125713 A]

PUBLISHED: June 08, 1987 (19870608)

INVENTOR(s): IWAHASHI HIROSHI

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 60-265517 [JP 85265517]

FILED: November 26, 1985 (19851126)

INTL CLASS: [4] H03K-019/094; H03K-019/00

JAPIO CLASS: 42.4 (ELECTRONICS -- Basic Circuits)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide
Semiconductors, MOS)

JOURNAL: Section: E, Section No. 556, Vol. 11, No. 346, Pg. 26,
November 12, 1987 (19871112)

ABSTRACT

PURPOSE: To eliminate the power consumption in an input circuit by providing an input circuit having P/N-channel MOS transistors (TRs) connected in series and a voltage drop means so as to decrease the power voltage by a prescribed value and to supply the result to the input circuit thereby avoiding the external connection of a resistor.

CONSTITUTION: The drain voltage of a MOS TR 21, that is, the power source voltage of a CMOS inverter 13 does not reach a value being the subtraction of a threshold voltage V_{th21} from the gate voltage V_G of the MOS TR 21. The voltage V_G is a common voltage, then 0V, and in setting the voltage V_{th21} to, e.g., -3V, in advance, the power source voltage of the CMOS inverter 13 does not reach 3V or above. Even when the threshold voltage of a P-channel MOS TR 11 is set to -1V, when the level '1' voltage of a signal CE is set to +2V or above, the TR 11 is turned off and no current is conducted to an inverter 13. Thus, the power consumption in the input circuit section is avoided without the connection of a resistor externally.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-125713

⑬ Int.Cl.⁴

H 03 K 19/094
19/00

識別記号

1 0 1

庁内整理番号

B-8326-5J
C-8326-5J

⑭ 公開 昭和62年(1987)6月8日

審査請求 有 発明の数 1 (全4頁)

⑮ 発明の名称 半導体集積回路

⑯ 特 願 昭60-265517

⑰ 出 願 昭60(1985)11月26日

⑱ 発 明 者 岩 橋 弘 川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

⑲ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

(1) 外部から入力される信号がそれぞれのゲートに印加され、直列接続されたPチャネル及びNチャネルMOSトランジスタを有する入力回路と、この入力回路と電源との間に挿入され、電圧電圧を所定値だけ降下してこの入力回路に供給する電圧降下手段とを具備したことを特徴とする半導体集積回路。

(2) 前記入力回路がPチャネル及びNチャネルMOSトランジスタからなる相補MOS型反転回路で構成された特許請求の範囲第1項に記載の半導体集積回路。

(3) 前記電圧降下手段が負極性の閾値電圧を持つデプレッション型のMOSトランジスタで構成されている特許請求の範囲第1項に記載の半導体集積回路。

(4) 前記MOSトランジスタのゲートが基準電位

に接続されている特許請求の範囲第3項に記載の半導体集積回路。

(5) 前記電圧降下手段が直列接続された複数のエンハンスメント型のPチャネルMOSトランジスタで構成されている特許請求の範囲第1項に記載の半導体集積回路。

3. 発明の詳細な説明

[発明の技術分野]

この発明は相補MOS型構成の半導体集積回路に係り、特に外部からの信号を受ける入力回路部における消費電力の低減化を図った半導体集積回路に関する。

[発明の技術的背景]

一般に、相補MOS型構成(以下、CMOSと称する)の半導体集積回路はその低消費電力性が特徴であり、このような低消費電力性のために最近特によく用いられるようになってきている。このようなCMOS半導体集積回路の従来の入力回路部の構成を第4図に示す。この入力回路部は外部信号、特にこの半導体集積回路を動作状態にす

るか、もしくは待機状態にするかを決定するためのチップイネーブル信号匹の入力回路部である。信号匹の入力端子10にはPチャネルのMOSトランジスタ11及びNチャネルのMOSトランジスタ12それぞれのゲートが接続されている。上記両MOSトランジスタ11及び12のドレインは共通に接続され、PチャネルMOSトランジスタ11のソースは電源電位VCに、NチャネルMOSトランジスタ12のソースはアース電位にそれぞれ接続され、このMOSトランジスタ11及び12で信号匹を反転するCMOSインバータ13が構成されている。さらにこのインバータ13の出力端子となるMOSトランジスタ11及び12のドレイン共通接続点14には、次段のCMOSインバータ15を構成するPチャネルのMOSトランジスタ16及びNチャネルのMOSトランジスタ17それぞれのゲートが接続されている。CMOSインバータ13の場合と同様に上記両MOSトランジスタ16及び17のドレインは共通に接続され、さらにPチャネルMOSトランジスタ16のソースは電源電位VCに、Nチャネル

MOSトランジスタ17のソースはアース電位にそれぞれ接続されている。そしてこのインバータ15の出力端子となるMOSトランジスタ16及び17のドレイン共通接続点18の信号は、この後、何段かのインバータによって反転され、図示しない内部制御回路に供給されている。なお、上記のMOSトランジスタはすべてエンハンスメント型のものが使用されており、Pチャネル及びNチャネルMOSトランジスタのバックゲートはそれぞれのソースに接続されている。

このような構成の入力回路部を備えた半導体集積回路では、チップイネーブル信号匹が“0”レベルに設定されることによって動作状態にされ、“1”レベルに設定されることによって待機状態にされ、この待機状態のときには消費電力が低減化される。

ところで、CMOS半導体集積回路では外部信号に対する応答特性と直感的な安定動作を図るために、より詳しくいえば高速度動作とより低い電源電圧で動作が可能となるようにするために、内部

のPチャネルMOSトランジスタとNチャネルMOSトランジスタの閾値電圧はそれぞれ-1Vと+1V程度に設定されている。

【背景技術の問題点】

ところで、上記のような閾値電圧を持つMOSトランジスタで構成されているCMOS半導体集積回路をTTL回路あるいはNチャネルMOS型回路の出力信号で駆動する場合、匹として入力される上記信号の“1”レベルは2Vないし3V程度の電圧である。従って、このような信号匹が第4図の回路の入力端子10に入力されると、PチャネルMOSトランジスタ11及びNチャネルMOSトランジスタ12が共にオンする。この結果、待機時であっても入力回路部のインバータ13では電源VCとアースとの間に電流が流れ、電力が消費される。

そこでこのような消費電力をなくすため、さらに従来では第4図において破線で示すように集積回路の外部において、電源VCと入力端子10との間にプルアップ用の抵抗19を挿入することが行わ

れている。すなわち、入力端子10に“1”レベルの信号が入力されたときにその“1”レベルの電圧を電源VCまでつり上げることにより、PチャネルMOSトランジスタ11をオフさせて入力回路部における消費電力をなくすものである。

このように従来では待機時の消費電力を完全になくすために外部に抵抗19を接続するという余分な手間が必要であり、この抵抗19の分だけコストが高つくという欠点がある。なお、上記抵抗19を外付する手間を省くために始めから集積回路内に形成しておくことが考えられる。しかしながら、この抵抗19を接続することは入力端子にリーク電流を生じさせる。そして入力端子におけるリーク電流の値は半導体集積回路の使用者毎にまちまちである。また複数の集積回路の端子を共通に接続するような場合は、共通接続部と電源VCとの間に抵抗19が並列に接続されることになり、使用される集積回路の数によりリーク電流の値が異なることになる。このため、リーク電流の値をある特定の値に決定することはできず、上記抵抗19

を予め集積回路内に形成しておくことは不可能である。

〔発明の目的〕

この発明は上記のような事情を考慮してなされたものであり、その目的は、外部に抵抗を接続することなしに入力回路部における消費電力をなくすることができる半導体集積回路を提供することにある。

〔発明の概要〕

この発明にあっては、外部から入力される信号がそれぞれのゲートに印加され、直列接続されたPチャネル及びNチャネルMOSトランジスタを有する入力回路と、この入力回路と電源との間に挿入され、電源電圧を所定値だけ降下してこの入力回路に供給する電圧降下手段とを具備したことを特徴とする半導体集積回路が提供されている。

〔発明の実施例〕

以下、図面を参照してこの発明の一実施例を説明する。

第1図はこの発明の一実施例による半導体集積

であればこのPチャネルMOSトランジスタ11はオフする。従って、このCMOSインバータ13には電流は流れない。すなわち、チップインネーブル信号 $\overline{1}$ レベル電圧が+2V以上であればよいので、この入力回路部を備えた半導体集積回路では、外部に抵抗を接続しなくても、TTL回路やNチャネルMOS型回路の出力信号で駆動しても入力回路部における消費電力をなくすることができる。

第2図はこの発明の他の実施例による半導体集積回路の入力回路部の構成を示す回路図である。この実施例回路では上記デプレッション型のMOSトランジスタ21を設ける代わりに、CMOSインバータ13と電源VCとの間に直列接続された2個のPチャネルでエンハンスメント型のMOSトランジスタ22及び23を挿入するようにしたものである。そしてこの両MOSトランジスタ22及び23のゲートはそれぞれのドレインに接続されている。また、この両MOSトランジスタ22及び23それぞれの閾値電圧は他のPチャネル

回路の入力回路部の構成を示す回路図である。この実施例回路は、前記第4図に示す従来回路のCMOSインバータ13と電源VCとの間に新たにNチャネルでデプレッション型のMOSトランジスタ21を挿入するようにしたものである。そしてこのMOSトランジスタ21のゲート及びバックゲート(チャネル領域となる部分)は共にアースに接続されている。また、このMOSトランジスタ21の閾値電圧は例えば-3Vに設定されている。

このような構成において、上記MOSトランジスタ21のドレイン電圧、つまりCMOSインバータ13の電源電圧は、MOSトランジスタ21のゲート電圧 V_G からその閾値電圧 V_{th21} をさし引いた値($V_G - V_{th21}$)以上にはならない。ここで V_G はアースであるから0Vであり、 V_{th21} は予め-3Vにされているので、CMOSインバータ13の電源電圧は3V以上にはならない。従って、このCMOSインバータ13内のPチャネルMOSトランジスタ11の閾値電圧が-1Vに設定されていても、信号 $\overline{1}$ のレベル電圧が+2V以上

MOSトランジスタと同様に-1Vに設定されている。

この実施例回路では電源電圧VCが+5Vであるときに、CMOSインバータ13の電源電圧はこの5VからPチャネルMOSトランジスタ2個分の閾値電圧の和をさし引いた3V以上にはならない。

第3図は上記第1図の実施例の變形例を示す回路図である。ここでは前記インバータ13内のPチャネルMOSトランジスタ11のバックゲートをそのソースに接続するのではなく、電源VCに接続するようにしたものである。このような接続とすることにより、このPチャネルMOSトランジスタ11には十分なバックゲートバイアスがかかるため、この閾値電圧は-1Vよりもそのバックゲートバイアス効果分だけ小さくすることができる。これにより、より低い電源電圧で動作させることが可能となる。

〔発明の効果〕

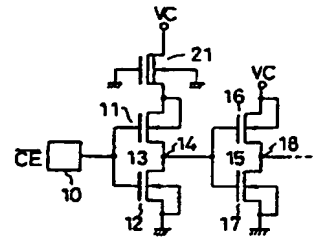
以上説明したように、この発明によれば、外部

に抵抗を接続することなしに入力回路部における消費電力をなくすることができる半導体集積回路を提供することができる。

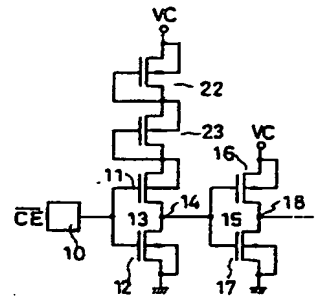
4. 図面の簡単な説明

第1図はこの発明の一実施例の構成を示す回路図、第2図はこの発明の他の実施例の構成を示す回路図、第3図は上記第1図の実施例の変形例の構成を示す回路図、第4図は従来回路の回路図である。

10…入力端子、11、16…PチャネルのMOSTラングスタ、12、17…PチャネルのMOSTラングスタ、13、15…CMOSインバータ、21…Pチャネルでデプレッション型のMOSTラングスタ、22、23…Pチャネルでエンハンスメント型のMOSTラングスタ。

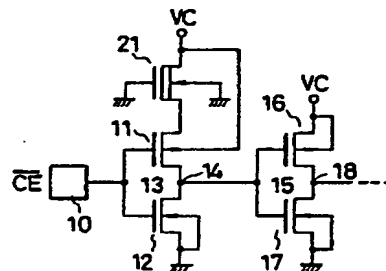


第1図

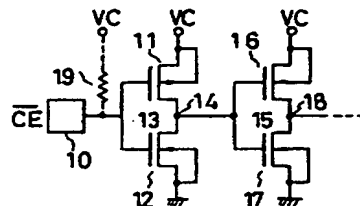


第2図

出願人代理人 井理士 鈴江武彦



第3図



第4図